

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: H. SADAKATA, et al.

Application No.: 10/624,890

Filed: July 23, 2003

For: SEMICONDUCTOR MEMORY DEVICE AND TEST METHOD
THEREOF



CLAIM FOR PRIORITY

Assistant Commissioner of Patents
Washington, D.C. 20231

Dear Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2002-227058, Filed August 5, 2002.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "James E. Ledbetter".

James E. Ledbetter
Registration No. 28,732

Date: August 8, 2003

JEL/spp

ATTORNEY DOCKET NO. L8462.03107
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 5 日
Date of Application:

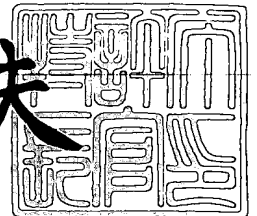
出 願 番 号 特 願 2 0 0 2 - 2 2 7 0 5 8
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 2 7 0 5 8]

出 願 人 松 下 電 器 産 業 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 7 月 2 8 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 5 9 7 1 4

【書類名】 特許願

【整理番号】 5037640107

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00651

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 貞方 博之

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 黒田 直喜

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100076174

 【弁理士】

 【氏名又は名称】 宮井 暎夫

【手数料の表示】

 【予納台帳番号】 010814

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9004842

【プルーフの要否】 要

【書類名】 明 細 書

【発明の名称】 半導体記憶装置およびその検査方法

【特許請求の範囲】

【請求項 1】 同一基板上にメモリ空間の異なる複数の RAM と、各々の RAM のアドレス信号数をアドレス空間の大きなアドレス信号数にすべて統一する手段とを備えた半導体記憶装置。

【請求項 2】 同一基板上にメモリ空間の異なる複数の RAM と、通常使用時のアドレス空間の割り付けとは別に、テスト時のアドレス空間の割り付けについて、各々の前記 RAM のアドレス信号数を前記アドレス空間の大きなアドレス信号数にすべて統一する手段とを備えた半導体記憶装置。

【請求項 3】 同一基板上に設けたメモリ空間の異なる複数の RAM と、前記メモリ空間の違いに応じて外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段とを備え、前記手段により各々の前記 RAM のアドレス信号数をアドレス空間の大きなアドレス信号数にすべて統一可能とすることを特徴とする半導体記憶装置。

【請求項 4】 外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段は、外部入力アドレス信号が内部アドレス信号となる前の位置に設けられる請求項 3 記載の半導体記憶装置。

【請求項 5】 外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段は、外部入力アドレス信号が内部アドレス信号となった後の位置に設けられる請求項 3 記載の半導体記憶装置。

【請求項 6】 外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段は、物理的もしくは電気的手段である請求項 3 記載の半導体記憶装置。

【請求項 7】 外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段が電気的手段であって、あるアドレスの接続を変更することにより、そのアドレスの上位アドレスまたは下位アドレスがすべてシフトするアドレスシフト手段を有する請求項 6 記載の半導体記憶装置。

【請求項 8】 外部入力アドレスとチップ内部入力アドレスのアドレス接続

を変更できる手段が電気的手段であって、外部入力アドレスとチップ内部入力アドレスが所望の接続になるまでアドレス接続を上位または下位にシフトするアドレスシフト手段を備える請求項6記載の半導体記憶装置。

【請求項9】 外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段が電気的手段であって、信号により制御されるスイッチにより構成した請求項6記載の半導体記憶装置。

【請求項10】 スイッチを制御する信号の制御には、メモリ空間の違いを認識することができる外部もしくは内部信号を用いる請求項9記載の半導体記憶装置。

【請求項11】 アドレスシフト手段は、外部入力アドレスとの接続が切り離されたチップ内部入力アドレスを、HighまたはLowに固定する手段を備える請求項7または請求項8記載の半導体記憶装置。

【請求項12】 同一基板上に設けたメモリ空間の異なる複数のRAMと、この複数のRAMを一括検査する際に異なるメモリ空間に同一の割り付けを行う手段と、各々のRAMへのアクセスを前記メモリ空間の違いに応じて中止する手段を備えた半導体記憶装置。

【請求項13】 同一基板上にメモリ空間の異なる複数のRAMを有する半導体記憶装置の検査方法であって、各々のRAMのアドレス信号数をアドレス空間の大きなアドレス信号数にすべて統一し、全RAMを一括検査することを特徴とする半導体記憶装置の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同一基板上、例えば同一シリコン上でメモリ空間が異なる複数のRAMを有する半導体記憶装置および検査方法に関し、詳しくは並列検査を可能にする回路構成に関するものである。

【0002】

【従来の技術】

近年のシステムLSIにおいては、システム側の要求に応じて例えば1チップ上に

容量およびビット幅の異なるRAMが複数個搭載されるなど、同一シリコン上に複数のRAMが搭載されるようになってきた。このような複数RAMを搭載するシステムLSIを生産する上での、大きな課題のひとつとして挙げられるのが、RAMの検査時間が増大するという点である。

【0 0 0 3】

特にテスト用I/Oバス、アドレス及びコントロール信号を共通化し、チップセレクト信号にて、各RAMへのアクセスを制御する仕様のRAMにおいては通常、各RAM毎に検査を行うシリアル検査方式しか対応が取れず、この場合RAM搭載数に応じて総検査時間が増大してしまう。

【0 0 0 4】

そこで検査時間短縮を考慮する場合、RAM毎に各々のRAM専用I/Oバス、アドレスおよびコントロール信号を設けることにより、メモリ空間が同一なRAMに関しては、テストによるパラレル検査が可能な環境を提供することができる。これにより検査時間短縮ができ、生産性を高めることができる。

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら、メモリ空間が異なるRAMの場合には各RAMのパラレル検査はできない。それは現状の一般的なメモリテストの使用方法においては、メモリ空間をアクセスするためにメモリのロウ方向及びコラム方向にX、Yアドレスを割り付け、テストパターンを発生させる。そのためメモリ空間が異なるRAMの場合、メモリのロウ構成及びコラム構成が異なるため、同一のX、Yアドレスが割り付けられず、同一のテストパターン(例えばHALF-MARCH)で検査することはできないからである。

【0 0 0 6】

そこで複数個のRAMを搭載し、かつメモリ空間が異なるRAMが存在した場合には同一のメモリ空間を有するRAM毎にグループ化を行い、そのグループ単位でパラレル検査を行う必要があり、検査時間の増大を招くという技術的課題を有していた。

【0 0 0 7】

本発明は上記従来の問題を解決するもので、同一シリコン上に異なるメモリ空間を有するRAMが複数個搭載されていても、全RAMを同時にパラレル検査することが可能な半導体記憶装置およびその検査方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

請求項1記載の半導体記憶装置は、同一基板上にメモリ空間の異なる複数のRAMと、各々のRAMのアドレス信号数をアドレス空間の大きなアドレス信号数にすべて統一する手段とを備えたものである。

【0009】

請求項1記載の半導体記憶装置によれば、例えばアドレスノンマルチプレクス方式を使用したRAMで、例えば同一シリコン上のメモリ空間の異なるメモリを一括で検査する場合、外部入力アドレス数はアドレス空間の大きなアドレス入力数にすべて統一するという構成を有しているため、同一シリコン上に全メモリに対して最大アドレス空間メモリのロウおよびコラムを割り当て、さらに実際に使用しないアドレスについては、仮想的なメモリ空間として割り当てることにより、アドレスノンマルチプレクス方式のRAMであっても、メモリ空間のロウ、コラムを同一にすることができ、同一のテストパターンで検査することができるので、各RAMのパラレル検査を可能にすることができる。

【0010】

以上のように、容量が異なるRAMに対してロウとコラムのアドレス割付を同一にする構成をとることで、容量が異なるRAMにおいてもパラレル検査を実現することができ、検査時間の短縮に大きく寄与することができる。

【0011】

請求項2記載の半導体記憶装置は、同一基板上にメモリ空間の異なる複数のRAMと、通常使用時のアドレス空間の割り付けとは別に、テスト時のアドレス空間の割り付けについて、各々の前記RAMのアドレス信号数を前記アドレス空間の大きなアドレス信号数にすべて統一する手段とを備えたものである。

【0012】

請求項2記載の半導体記憶装置によれば、請求項1と同様な効果がある。

【0013】

請求項3記載の半導体記憶装置は、同一基板上に設けたメモリ空間の異なる複数のRAMと、メモリ空間の違いに応じて外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段とを備え、手段により各々のRAMのアドレス信号数をアドレス空間の大きなアドレス信号数にすべて統一可能とすることを特徴とするものである。

【0014】

請求項3記載の半導体記憶装置によれば、請求項1と同様な効果のほか、メモリ空間の違いに応じて、外部入力アドレス信号と、チップ内部入力アドレス信号のアドレス接続を変更できる手段を備えることにより、制御外部入力アドレスと内部入力アドレスの接続を切り替えることが可能になり、メモリ空間のロウおよびコラムの割り付け変更が容易になる。

【0015】

請求項4記載の半導体記憶装置は、請求項3において、外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段は、外部入力アドレス信号が内部アドレス信号となる前の位置に設けられるものである。

【0016】

請求項4記載の半導体記憶装置によれば、請求項3と同様な効果がある。

【0017】

請求項5記載の半導体記憶装置は、請求項3において、外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段は、外部入力アドレス信号が内部アドレス信号となった後の位置に設けられるものである。

【0018】

請求項5記載の半導体記憶装置によれば、請求項3と同様な効果がある。

【0019】

請求項6記載の半導体記憶装置は、請求項3において、外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段は、物理的もしくは電気的手段である。

【0020】

請求項 6 記載の半導体記憶装置によれば、請求項 3 と同様な効果がある。

【 0 0 2 1 】

請求項 7 記載の半導体記憶装置は、請求項 6 において、外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段が電気的手段であって、あるアドレスの接続を変更することにより、そのアドレスの上位アドレスまたは下位アドレスがすべてシフトするアドレスシフト手段を有するものである。

【 0 0 2 2 】

請求項 7 記載の半導体記憶装置によれば、請求項 6 と同様な効果のほか、特定のアドレスの接続を変更することにより、そのアドレスの上位または下位アドレスがシフトするという構成を有していることによって、特定のアドレスから接続のシフトが可能となりメモリ空間のロウおよびコラムの割り付け変更が容易になる。

【 0 0 2 3 】

請求項 8 記載の半導体記憶装置は、請求項 6 において、外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段が電気的手段であって、外部入力アドレスとチップ内部入力アドレスが所望の接続になるまでアドレス接続を上位または下位にシフトするアドレスシフト手段を備えるものである。

【 0 0 2 4 】

請求項 8 記載の半導体記憶装置によれば、請求項 7 と同様な効果がある。

【 0 0 2 5 】

請求項 9 記載の半導体記憶装置は、請求項 6 において、外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段が電気的手段であって、信号により制御されるスイッチにより構成したものである。

【 0 0 2 6 】

請求項 9 記載の半導体記憶装置によれば、請求項 6 と同様な効果がある。

【 0 0 2 7 】

請求項 1 0 記載の半導体記憶装置は、請求項 9 において、スイッチを制御する信号の制御には、メモリ空間の違いを認識することができる外部もしくは内部信号を用いるものである。

【0028】

請求項10記載の半導体記憶装置によれば、請求項9と同様な効果がある。

【0029】

請求項11記載の半導体記憶装置は、請求項7または請求項8において、アドレスシフト手段は、外部入力アドレスとの接続が切り離されたチップ内部入力アドレスを、HighまたはLowに固定する手段を備えるものである。

【0030】

請求項11記載の半導体記憶装置によれば、請求項7または請求項8と同様な効果がある。

【0031】

請求項12記載の半導体記憶装置は、同一基板上に設けたメモリ空間の異なる複数のRAMと、この複数のRAMを一括検査する際に異なるメモリ空間に同一の割り付けを行う手段と、各々のRAMへのアクセスをメモリ空間の違いに応じて中止する手段を備えたものである。

【0032】

請求項12記載の半導体記憶装置によれば、異なるメモリ空間に同一のロウ及びコラムの割り付けを行った場合、仮想メモリ空間にアクセスしたときはメモリ一連の動作を行わないため、従来、仮想メモリ空間にアクセスした場合でも、メモリアクセス動作を行うため意図せずメモリデータが書き換わってしまっていたが、これを回避することができる。

【0033】

請求項13記載の半導体記憶装置の検査方法は、同一基板上にメモリ空間の異なる複数のRAMを有するアドレスノンマルチプレクス方式の半導体記憶装置の検査方法であって、各々のRAMのアドレス信号数をアドレス空間の大きなアドレス信号数にすべて統一し、全RAMを一括検査することを特徴とするものである。

【0034】

請求項13記載の半導体記憶装置の検査方法によれば、請求項1と同様な効果がある。

【0035】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照しながら説明する。

【0036】

図1は本発明の第1の実施形態における概略図を示すものである。1は、メモリを混載したメモリ混載システムLSIであり、2はアドレスをマルチプレクスしないアドレスノンマルチプレクス方式のRAMへの入力アドレスA0～21である。アドレスノンマルチプレクス方式はアドレス信号のみを1サイクルにて実行する方法であり、SRAM等で用いられている。3はアドレスノンマルチプレクス方式のRAMでメモリ容量4Mbで、使用アドレス全22bitの割り付けがロウ側A0～11の計12bit、コラム側A12～21の計10bitであるRAMであり、4はアドレスノンマルチプレクス方式のRAMでメモリ容量1Mbであり、使用アドレス20bitの割り付けがロウ側A0～10の計11bit、コラム側9bitの割り付けがA12～20であるRAMであり、5はアドレスノンマルチプレクス方式のRAMでメモリ容量0.5Mbで、使用アドレス19bitの割り付けがロウ側A0～9の計10bit、コラム側9bitの割り付けがA12～20であるRAMから構成されている。

【0037】

すなわち、この半導体記憶装置は、アドレスノンマルチプレクス方式であって、同一基板上にメモリ空間の異なる複数のRAM 3～5と、各々のRAM 3～5のアドレス信号数をアドレス空間の大きなアドレス信号数にすべて統一する手段を備えたものである。

【0038】

具体的にはRAM制御信号として、外部アドレス信号とテスト専用アドレス信号とを設け、テスト専用アドレス信号を1チップ内における最大容量のRAM3のX,Yアドレス数と他のRAM4,5も同じにして、各RAM3～5のX,Yアドレス割り付けを同一にする。

【0039】

そして、検査方法は全RAM 3～5を一括検査する。

【0040】

以上のような構成にすることにより、各RAMのロウとコラムのアドレスの割り

付けを同一にすることができる。ここで最大アドレス空間を持つ、3の4Mb RAMのアドレッシングに合わせて、ロウ方向のインクリメント後、コラム方向のインクリメントし、リード/ライトを行うスキャンテストパターンを4Mb、1Mb、0.5MbのRAMともに同時に実行した場合、A10=1のアドレス空間アクセス時にはA10は0.5MbのRAMのアドレス空間に割り付けられていないため0.5MbのRAMは、この場合A10=0のアドレス空間を再度アクセスすることとなる。A11=1の場合にも同様に1Mb、0.5MbはA11=0のアドレス空間をアクセスすることになり、データの破壊等はおこさない。

【0041】

よって、通常のスキャンパターンにおいては上記構成により異容量のRAMの平行検査が可能となり、同一のテストパターンで検査することができる。そして検査時に全RAMの一括検査を行うことによって、従来各容量グループ数により検査時間が増大していたものを、容量グループ数に依存しない検査フローを提供でき、検査時短効果を大きくできる。

【0042】

図2は本発明の第2の実施形態における概略図を示すものである。1は、メモリを混載したメモリ混載システムLSIであり、6はノンマルチプレクサ方式のRAMへのテスト用外部入力アドレスPA0～21であり、7は各RAMとデータのやり取りを行うLOGIC回路（ロジック回路）であり、8はLOGIC回路7からRAMへアクセスするための、ノンマルチプレクサ方式RAMへのノーマル用入力アドレスA0～21であり、3はアドレスノンマルチプレクス方式のRAMでメモリ容量4Mbで、使用アドレス全22bitの割り付けがノーマル用アドレスがロウ側A0～11の計12bit、コラム側A12～21の計10bitであり、テスト用アドレスも同様にロウ側PA0～11の計12bit、コラム側PA12～21の計10bit RAMであり、4はアドレスノンマルチプレクス方式のRAMでメモリ容量1Mbであり、テスト用アドレス20bitの割り付けが第1の実施の形態と同様にロウ側PA0～10の計11bit、コラム側9bitの割り付けがPA12～20であるRAMで、ノーマル用アドレス20bitの割り付けがロウ側A0～10の計11bit、コラム側9bitの割り付けがA11～19であるRAMであり、5はアドレスノンマルチプレクス方式のRAMでメモリ容量0.5Mbで、テスト用アドレス19bitの割り付けが第1の実施の

形態と同様にロウ側PA0～9の計10bit、コラム側9bitの割り付けがPA12～20であるRAMで、ノーマル用アドレス19bitの割り付けがロウ側A0～9の計10bit、コラム側9bitの割り付けがA10～18であるRAMから構成されている。

【0043】

すなわち、この半導体記憶装置は、アドレスノンマルチプレクス方式であって、同一基板上にメモリ空間の異なる複数のRAM 3～5と、通常使用時のアドレス空間の割り付けとは別に、テスト時のアドレス空間の割り付けについて、各々のRAM 3～5のアドレス信号数をアドレス空間の大きなアドレス信号数にすべて統一する手段を備えたものである。

【0044】

以上のような構成にすることにより、テスト時には各マクロの平行検査が実現が可能となる。一方、通常動作時にはLOGIC回路7によるRAMアクセスは、連続したアドレス信号で行うことができるため、RAMの使い勝手を損なうことはなく、テスト時間短縮を図ることが可能となる。

【0045】

図3は本発明の第3の実施形態における概略図を示すものであり、4はアドレスノンマルチプレクス方式のRAMでメモリ容量1Mbであり、テスト用内部入力アドレス9(IPA0～19)の20bitの割り付けがロウ側IPA0～10の計11bit、コラム側9bitの割り付けがIPA12～20とアドレスが連続しているRAMで、ノーマル用アドレス20bitの割り付けがロウ側A0～10の計11bit、コラム側9bitの割り付けがA11～19であるRAMである。6は、テスト用外部入力アドレスPA0～21で、10はテスト用内部入力アドレス9とテスト用外部入力アドレス6との接続関係、PA0～10とIPA0～10接続、PA11は接続なし、PA12～20とIPA11～19接続、PA21接続なし、の関係を示した図である。

【0046】

RAM 3およびその他の構成は、第2の実施の形態と同様である。すなわち、この半導体記憶装置は、アドレスノンマルチプレクス方式のものであって、同一基板上に設けたメモリ空間の異なる複数のRAM 3～5と、メモリ空間の違いに応じて外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段とを

備え、この手段により各々のRAM 3～5のアドレス信号数をアドレス空間の大きなアドレス信号数にすべて統一可能とするものである。また変更手段は外部入力アドレス信号が内部アドレス信号となる前の位置に設けられる。

【0047】

以上の構成により、RAM 3～5の外部でアドレスをつなぎかえることにより、ノーマル用入力アドレス8とテスト用内部入力アドレス9のアドレス端子数を同一にすることができ、RAMの回路構成を複雑化することなく、パラレル検査可能なアドレス割り付けを実現することが可能となる。

【0048】

図4は、本発明の第4の実施形態における概略図を示すものであり、第3の実施の形態の場合と同様に第2の実施の形態における一部の別の実施の形態であり、外部入力アドレスとチップ内部入力アドレスのアドレス接続を変更できる手段が、外部入力アドレス信号が内部アドレス信号となった後の位置に設けられるものである。

【0049】

4はアドレスノンマルチプレクス方式のメモリ容量1MbのRAMで、テスト用内部入力アドレス9がIPA0～21の22bit、ノーマル用アドレスA0～19の20bitとテスト用とノーマル用でアドレス数が異なるRAMであり、6はテスト用外部入力アドレスPA0～21である。

【0050】

以上の構成において、テスト用の外部入力アドレス6とテスト用のチップ内部入力アドレス9のアドレスビット数が同一になるので、テスト用外部入力アドレス6とテスト用内部入力アドレス9を一对一に対応させ、接続することができる。

【0051】

図5は、テスト用内部入力アドレス9とテスト用外部入力アドレスのアドレス数を同一にする構成の一例を示している。

【0052】

11は、テスト用内部入力アドレス9(IPA0～21) と、内部ロウアドレス12と内部コラムアドレス13の接続切り替えを行うアドレス信号接続変更手段であり、4

はテスト用内部入力アドレスIPA0～10により内部ロウアドレス12のR0～10、およびテスト用内部入力アドレスIPA12～20により内部コラムアドレス13のC0～8でアドレス制御される1Mb RAMである。

【0053】

上記RAMのアドレス構成の場合は、テスト用内部入力アドレスIPA11およびIPA21はRAMのアドレス制御には用いられない。そこで、アドレス信号接続変更手段11にてテスト用内部制御アドレスIPA11およびIPA21をディスイネーブル状態にする。これによりテスト用内部入力アドレス9とテスト用外部入力アドレス6のアドレス数を同一にすることができる。

【0054】

図6は、アドレス信号接続変更手段11の実現方法の具体例を示しており、9はテスト用内部入力アドレスIPA0～21であり、11はテスト用内部入力アドレス9と内部ロウアドレス12および内部コラムアドレス13の接続を切り替えるアドレス信号接続変更手段であり、19は電氣的に信号を切り替えるスイッチであり、各テスト用内部入力アドレスIPA0～21が図のように、内部コラムアドレスC0～C8および内部ロウアドレスR0～R10の隣接するものに一対のスイッチ19を介して接続されている。20はスイッチ19を制御するスイッチ制御信号であり、各一対のスイッチ19間には反転信号を加えるためインバータを設けている。

【0055】

上記構成において、テスト用内部入力アドレスIPA11をディスイネーブル状態にすることを考える。テスト用内部入力アドレスIPA11をディスイネーブル状態にするためにスイッチ制御信号20として、SW0:H、SW1:L、SW2:L、SW3:Lの信号を入力する。この信号入力により、テスト用内部入力アドレスIPA10は内部ロウアドレスR10と、テスト用内部入力アドレスIPA12は内部コラムアドレスC0と、テスト用内部入力アドレスIPA13は内部コラムアドレスC1と繋がる。また、テスト用内部入力アドレスIPA11はスイッチ19がoffするためどこにも接続されない。

【0056】

なおここでSW制御信号20への入力、物理的にVDDおよびVSSに接続する方法でも、論理回路により信号を入力する方法でも実現できることは容易に推測できる。

【0057】

図7は、アドレス信号接続変更手段11の実現方法の第2の具体例を示しており、9はテスト用内部入力アドレスであり、11はテスト用内部入力アドレス9と内部ロウアドレス12および内部コラムアドレス13の接続を切り替えるアドレス信号接続変更手段であり、19は電氣的に信号を切り替えるスイッチであり、14は電氣的接続を外部トリマで切断することができるヒューズであり、15はヒューズ14が切断された場合、電源と反対側のノードをGNDに固定するプルダウン抵抗である。

【0058】

上記構成において、ある任意のヒューズ14に対してフューズカット（例えばX印で示す）を行うと、電源から切り離された各ヒューズ14に対応するプルダウン抵抗15が有効になり、各ヒューズ14に対応するテスト用内部入力アドレス9から連続して上位ビットにシフトしながら内部ロウおよびコラムアドレス信号へ接続変更が行われ、例えば図6のスイッチ制御信号20が与えられたのと同じスイッチ動作状態が得られる。これにより各スイッチ毎の論理を制御する必要がなく、接続変更したい個所のヒューズ14をカットすることのみで所望のアドレス信号接続が実現できる。また、DRAMなどでは容量に応じてメモリセルのリフレッシュ周期等を変更するためにヒューズ14または外部信号等で実現する場合がある。このような構成のRAMの場合、容量を認識する例えばヒューズノードおよび内部または外部の信号を流用してアドレス信号接続変更手段11を制御することも容易である。

【0059】

図8は本発明の第5の実施形態における検査パターンを示すものであり、図8-1は特に検査パターンによって異容量RAMの一括検査における問題を説明している。よく知られているRAMのパターンとしてアドレッシング等のチェックを行うマーチパターンというものがある。これは全RAM領域に0データをライト後、0データリード、1データライトして次ヘインクリメントを全面实施後、最後にオール1リードを行うものであるが、ここで1Mbと2Mbの異容量RAMに対してマーチパターンを行うと、全面0データ・ライトまでは問題ないが、0データリード/1データ

ライトの場合、1Mb RAMに対しては1Mbを超えてしまうと、再度先頭のアドレスに戻って、0データリード/1データライトを行ってしまう。メモリセルには1データがかかっているため、この状態にて検査を行ってしまうと、期待値と実データが一致せず正しい検査ができない。すなわち、図8において、図8(a)の(a1)の状態は、ロウ方向アドレスPA0-PA11を(0-7FF、16進数)までインクリメントし"0"データライト動作する。1Mb RAM、2Mb RAMを同一アドレス空間にアクセスしている。(a2)の状態は、ロウ方向アドレスPA0-PA11を(800-FFF、16進数)までインクリメントし"0"データライト動作する。1Mb RAMは、PA11=1のアドレス空間を有しないので、(a1)と同様にPA0-PA11(0-7FF、16進数)の空間を再度、アクセスしている。一方、2Mb RAMはPA0-PA11(800-FFF、16進数)までアクセスしている。(a3)の状態は、注目メモリセルからデータ"0"をリードし、更に同一セルに"1"をライトする。この動作をロウ方向にインクリメントしながら、ロウ方向アドレスPA0-PA11(0-7FF、16進数)まで行う。この(a3)動作により、1Mb RAMおよび2Mb RAMともにアドレスPA0-PA11(800-FFF、16進数)のセルは(a1)動作による"0"データから"1"データに書き換わっている。(a4)の状態は、(a3)動作をロウ方向アドレスPA0-PA11(800-FFF、16進数)まで行う。この動作時(a2)動作でも説明した通り、1Mb RAMはPA11=1のアドレス空間を有しないので、(a3)動作と全く同一アドレス空間にて、上記動作を行ってしまう。ここで1Mb RAMにおいてはメモリセルからデータ"0"を期待値としてリードするのに対して、(a3)動作においてデータが"1"に書き換わっている。そのため期待値と実データが異なるために正しい検査ができなくなる。2Mb RAMに対しては、問題ない。

【0060】

そこで、仮想メモリアドレス空間にアクセスする場合には、RAMへのアクセスを中止してしまうような構成をとる。すなわち、この構成の場合は、図8(a)に対応する図8(b)の(b2)、(b4)に示すように仮想メモリアドレス空

間にアクセスする場合、リード・ライト動作をおこなわないようにする。これによりマーチパターンが正しく実行できる。なお、他のほぼ全部のメモリ検査パターンに対しても異容量のRAMに対して一括検査が可能となる。

【0061】

図9は本発明の第5の実施形態における、RAMが仮想メモリアドレス空間にアクセス中はRAMへのアクセスを中止する構成の1例を示しているものである。4は1Mb

RAM、9はテスト用内部入力アドレスIPA0~10, 12~20であり、18は仮想メモリアドレス空間にアクセスするためのテスト用内部入力アドレスIPA11及びIPA21であり、23はロウデコード回路、24はコラムデコード回路、25はテスト用内部入力アドレス中のロウ方向アドレス信号をデコードしたロウデコード信号であり、26はテスト用内部入力アドレス中のコラム方向アドレス信号をデコードしたコラムデコード信号であり、これらはメモリ部に入力される。27は仮想メモリ空間アクセス用アドレス18の信号をデコードした仮想メモリ空間デコード信号である。この仮想メモリ空間デコード信号27の出力は、メモリ部に対してオープン状態である。

【0062】

以上の構成によると仮想メモリアドレス空間をアクセスする場合、仮想メモリアドレス空間アクセス用入力アドレス18が入力される。この入力信号によりロウデコード回路23およびコラムデコード回路24にて仮想メモリ空間デコード信号27が発生される。この仮想メモリ空間デコード27の出力は、どこにも接続されていない。そのため仮想メモリアドレス空間をアクセス時は、RAM内部へのアクセスを中止する構成を実現できる。

【0063】

その他、第1の実施の形態等と共通する構成をとることができる。

【0064】

なお、図7に示したアドレスシフト手段は、外部入力アドレスとの接続が切り離されたチップ内部入力アドレスを、HighまたはLowに固定する手段を備えることができる。

【0065】

また以上の実施の形態ではアドレスノンマルチプレクス方式のRAMを例に挙げて説明したが、本発明はこれに限られるものではない。

【0066】

【発明の効果】

請求項1記載の半導体記憶装置によれば、容量が異なるRAMに対してロウとコラムのアドレス割付を同一にする構成をとることで、容量が異なるRAMにおいてもパラレル検査を実現することができ、検査時間の短縮に大きく寄与することができる。

【0067】

請求項2記載の半導体記憶装置によれば、請求項1と同様な効果がある。

【0068】

請求項3記載の半導体記憶装置によれば、請求項1と同様な効果のほか、メモリ空間の違いに応じて、外部入力アドレス信号と、チップ内部入力アドレス信号のアドレス接続を変更できる手段を備えることにより、制御外部入力アドレスと内部入力アドレスの接続を切り替えることが可能になり、メモリ空間のロウおよびコラムの割り付け変更が容易になる。

【0069】

請求項4記載の半導体記憶装置によれば、請求項3と同様な効果がある。

【0070】

請求項5記載の半導体記憶装置によれば、請求項3と同様な効果がある。

【0071】

請求項6記載の半導体記憶装置によれば、請求項3と同様な効果がある。

【0072】

請求項7記載の半導体記憶装置によれば、請求項6と同様な効果のほか、特定のアドレスの接続を変更することにより、そのアドレスの上位または下位アドレスがシフトするという構成を有していることによって、特定のアドレスから接続のシフトが可能となりメモリ空間のロウおよびコラムの割り付け変更が容易になる。

【0073】

請求項 8 記載の半導体記憶装置によれば、請求項 7 と同様な効果がある。

【 0 0 7 4 】

請求項 9 記載の半導体記憶装置によれば、請求項 6 と同様な効果がある。

【 0 0 7 5 】

請求項 1 0 記載の半導体記憶装置によれば、請求項 9 と同様な効果がある。

【 0 0 7 6 】

請求項 1 1 記載の半導体記憶装置によれば、請求項 7 または請求項 8 と同様な効果がある。

【 0 0 7 7 】

請求項 1 2 記載の半導体記憶装置によれば、異なるメモリ空間に同一のロウ及びコラムの割り付けを行った場合、仮想メモリ空間にアクセスしたときはメモリ一連の動作を行わないため、従来、仮想メモリ空間にアクセスした場合でも、メモリアクセス動作を行うため意図せずメモリデータが書き換わってしまっていたが、これを回避することができる。

【 0 0 7 8 】

請求項 1 3 記載の半導体記憶装置の検査方法によれば、請求項 1 と同様な効果がある。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態における半導体集積回路のブロック図である。

【図 2】

本発明の第 2 の実施の形態における半導体集積回路のブロック図である。

【図 3】

本発明の第 3 の実施の形態における要部の半導体集積回路のブロック図である。
。

【図 4】

本発明の第 4 の実施の形態における要部の半導体集積回路のブロック図である。
。

【図 5】

本発明の第4の実施の形態におけるアドレス信号の接続の説明図である。

【図6】

本発明の第4の実施の形態におけるアドレス信号接続変更手段の回路図である。

【図7】

本発明の第4の実施の形態における別のアドレス信号接続変更手段の回路図である。

【図8】

本発明の第5の実施の形態における検査パターン説明図である。

【図9】

本発明の第5の実施の形態における半導体集積回路のブロック図である。

【符号の説明】

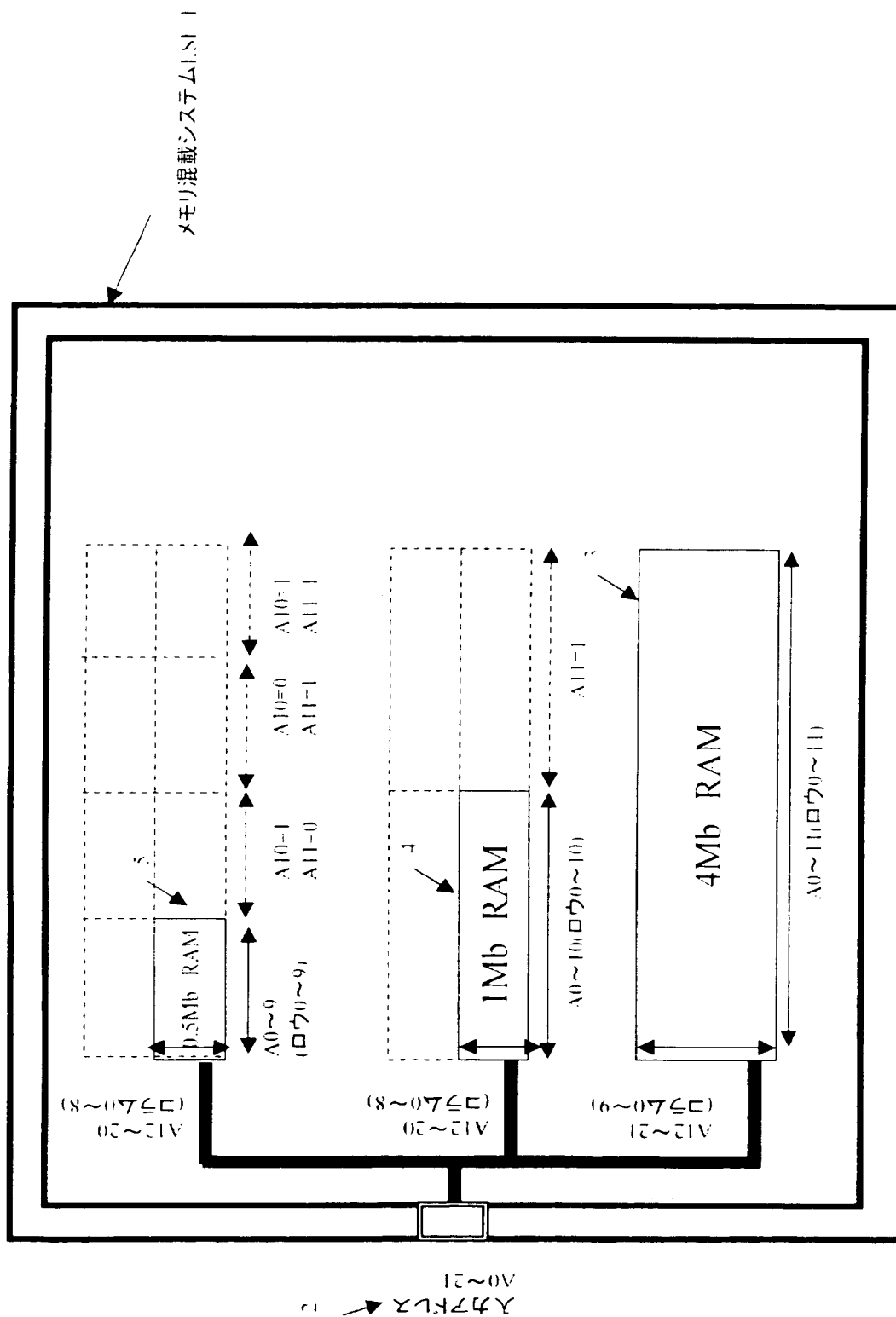
- 1 メモリ混載システムLSI
- 2 入力アドレス
- 3 4Mb RAM
- 4 1Mb RAM
- 5 0.5Mb RAM
- 6 テスト用外部入力アドレス
- 7 LOGIC回路
- 8 ノーマル用入力アドレス
- 9 テスト用内部入力アドレス
- 10 信号接続図
- 11 アドレス信号接続変更手段
- 14 ヒューズ
- 15 プルダウン抵抗
- 18 テスト用内部入力アドレス（仮想メモリ空間アクセス用）
- 19 スイッチ
- 20 スイッチ制御信号
- 23 ロウデコード回路

- 24 コラムデコード回路
- 25 ロウデコード信号
- 26 コラムデコード信号
- 27 仮想メモリ空間デコード信号

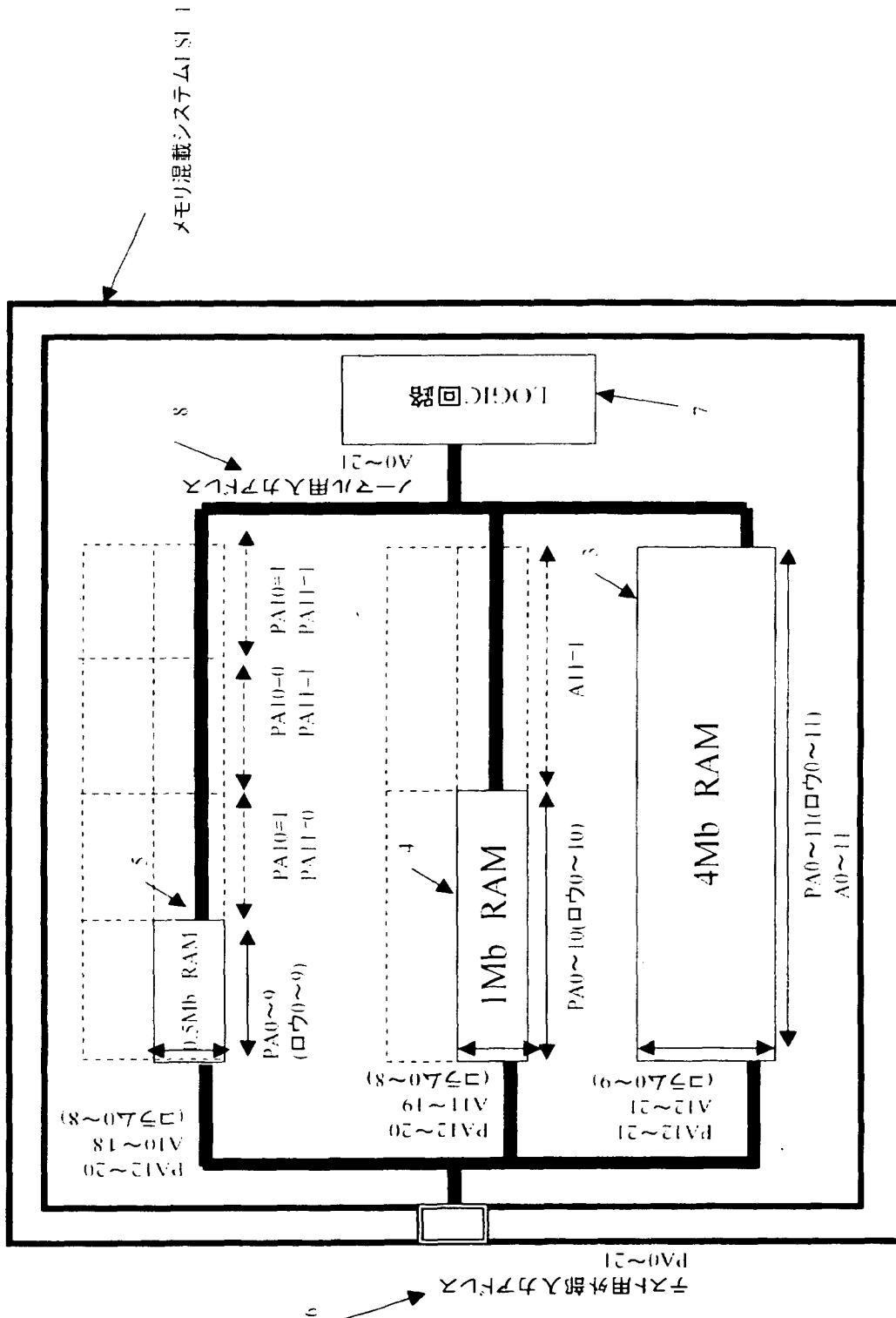
【書類名】

図面

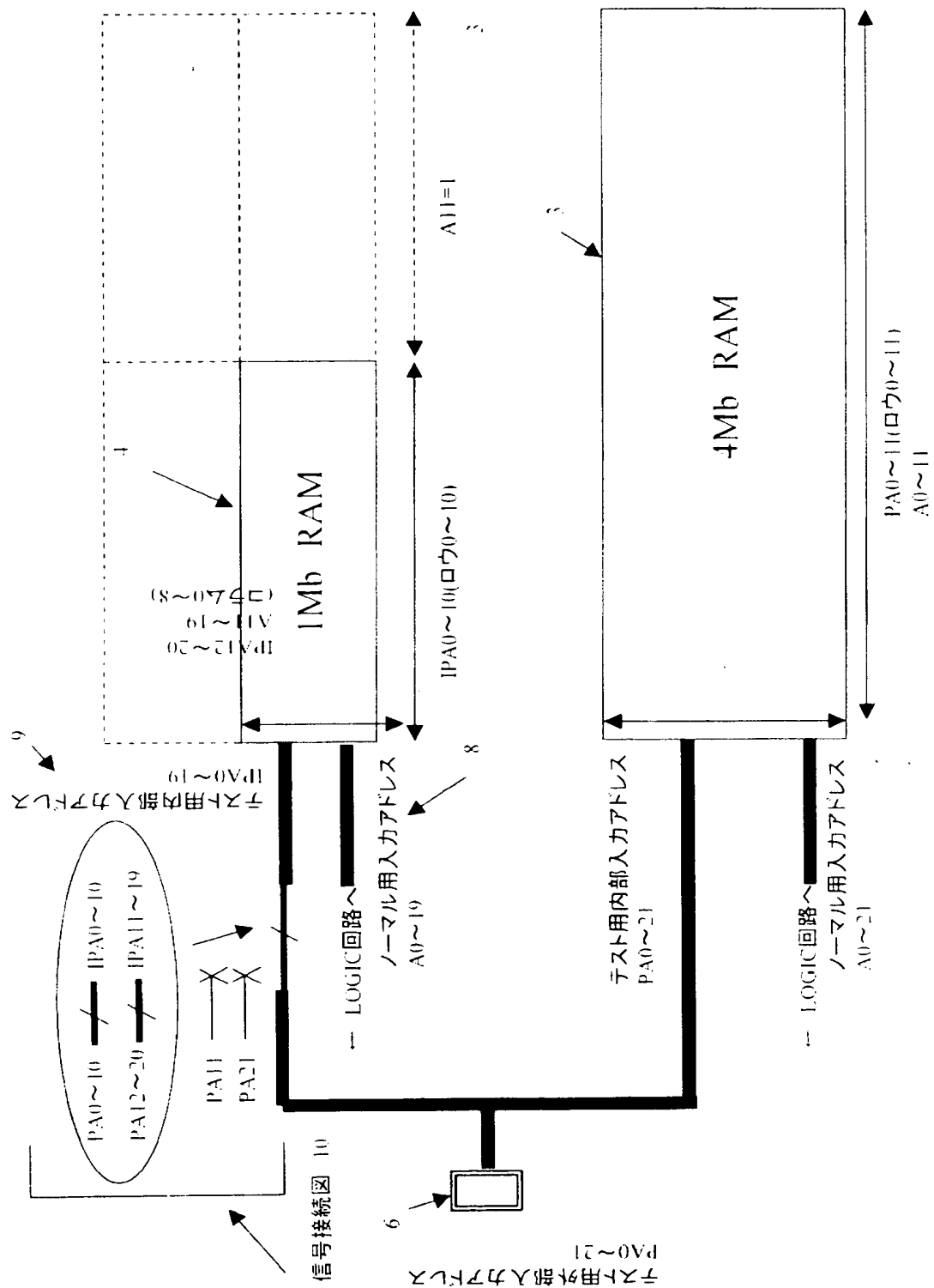
【図 1】



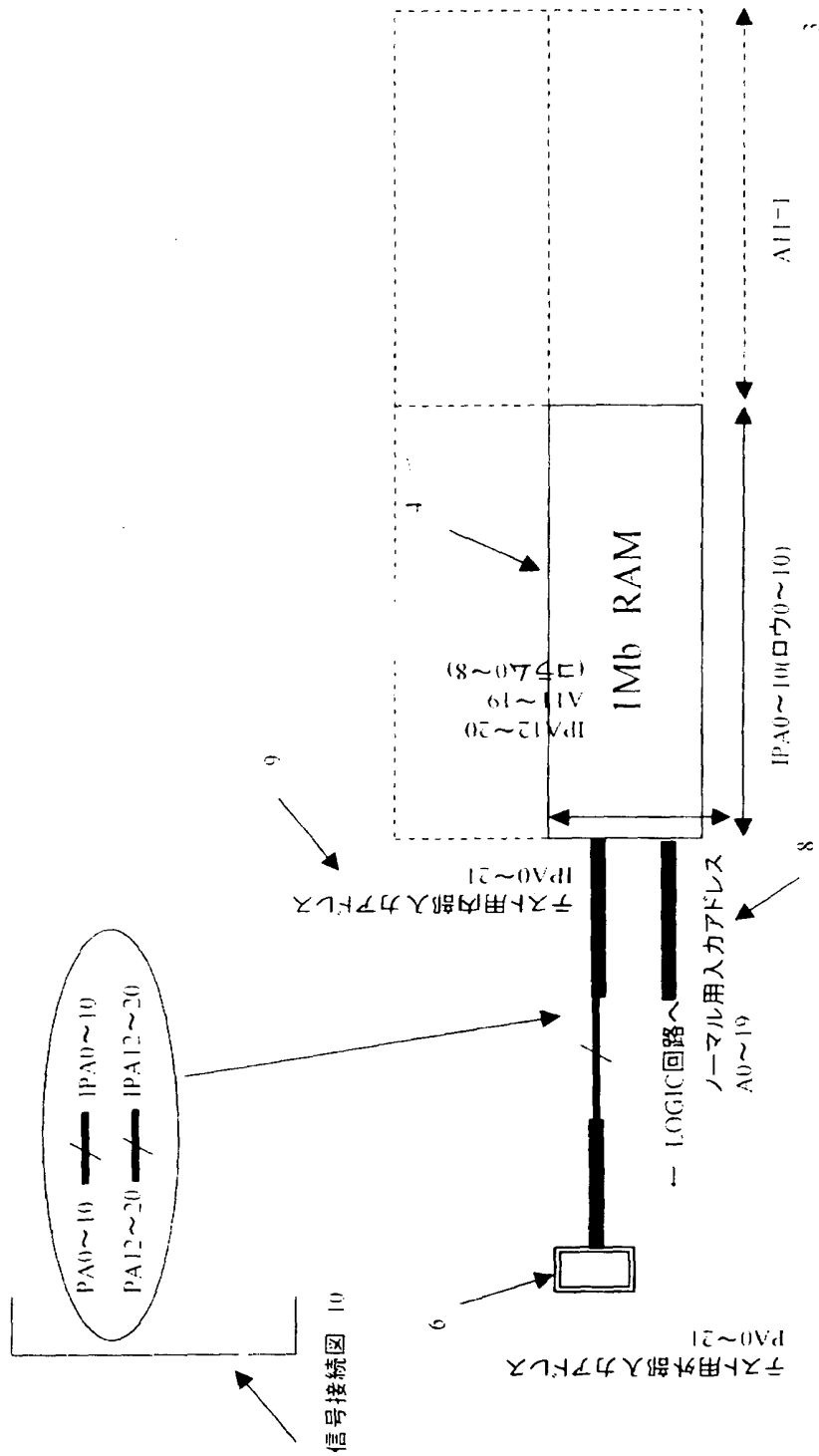
【図 2】



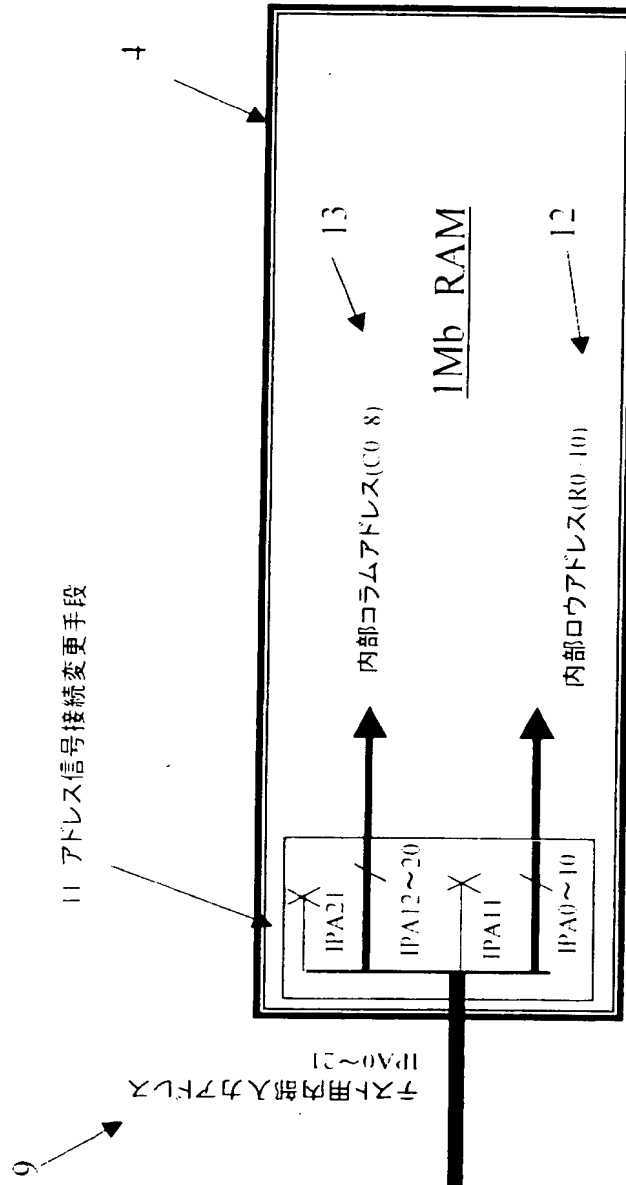
【図 3】



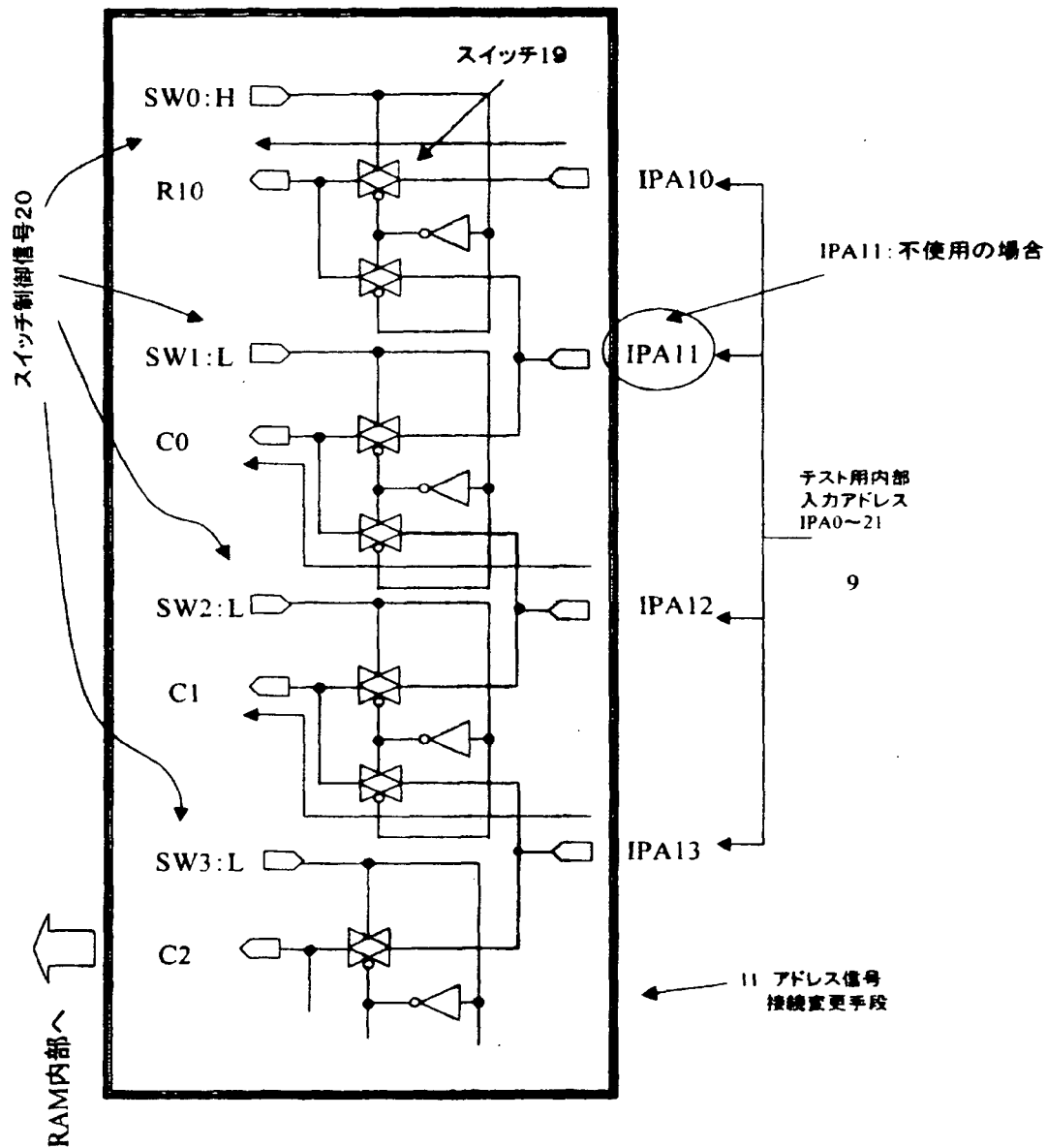
【図 4】



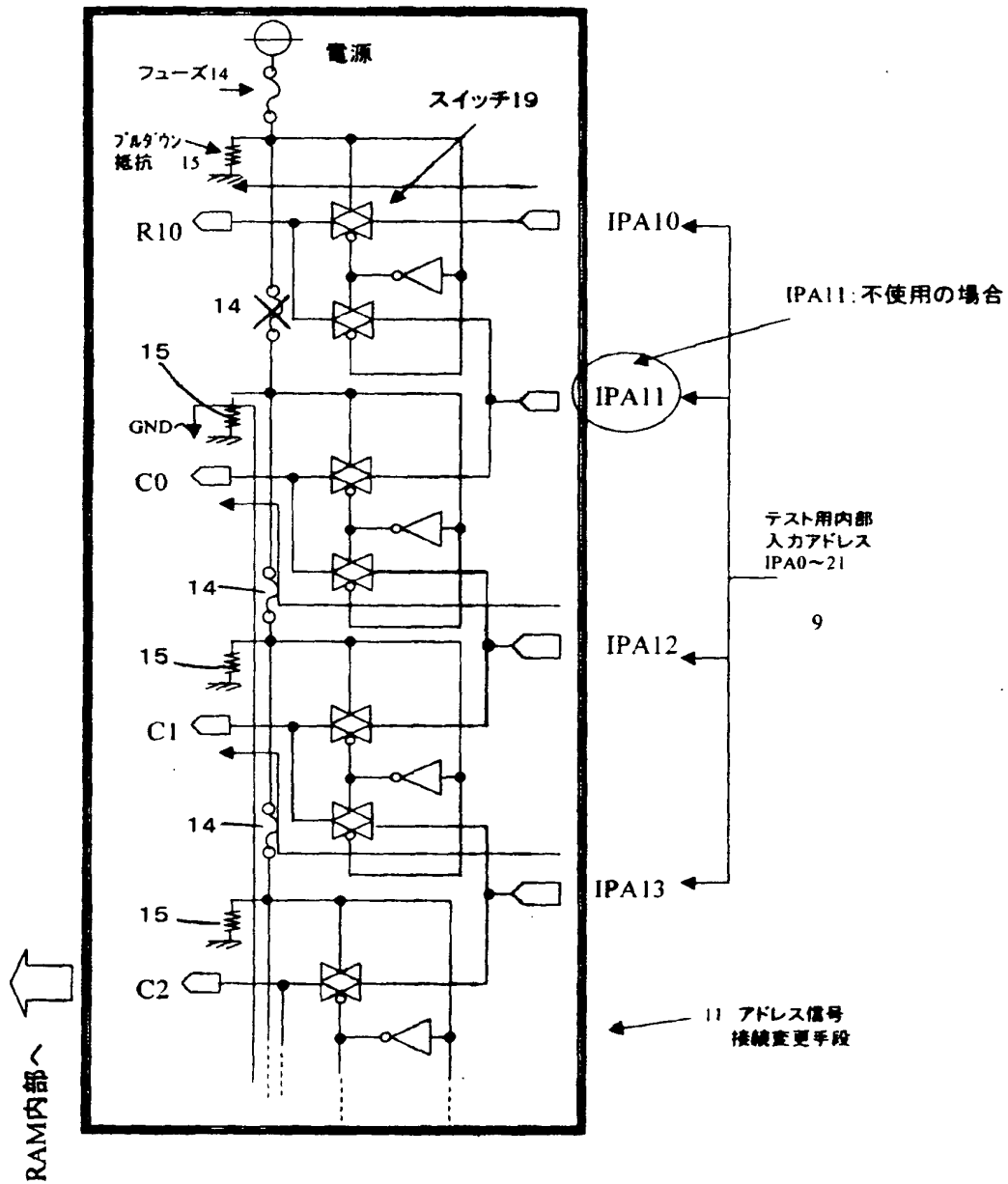
【図 5】



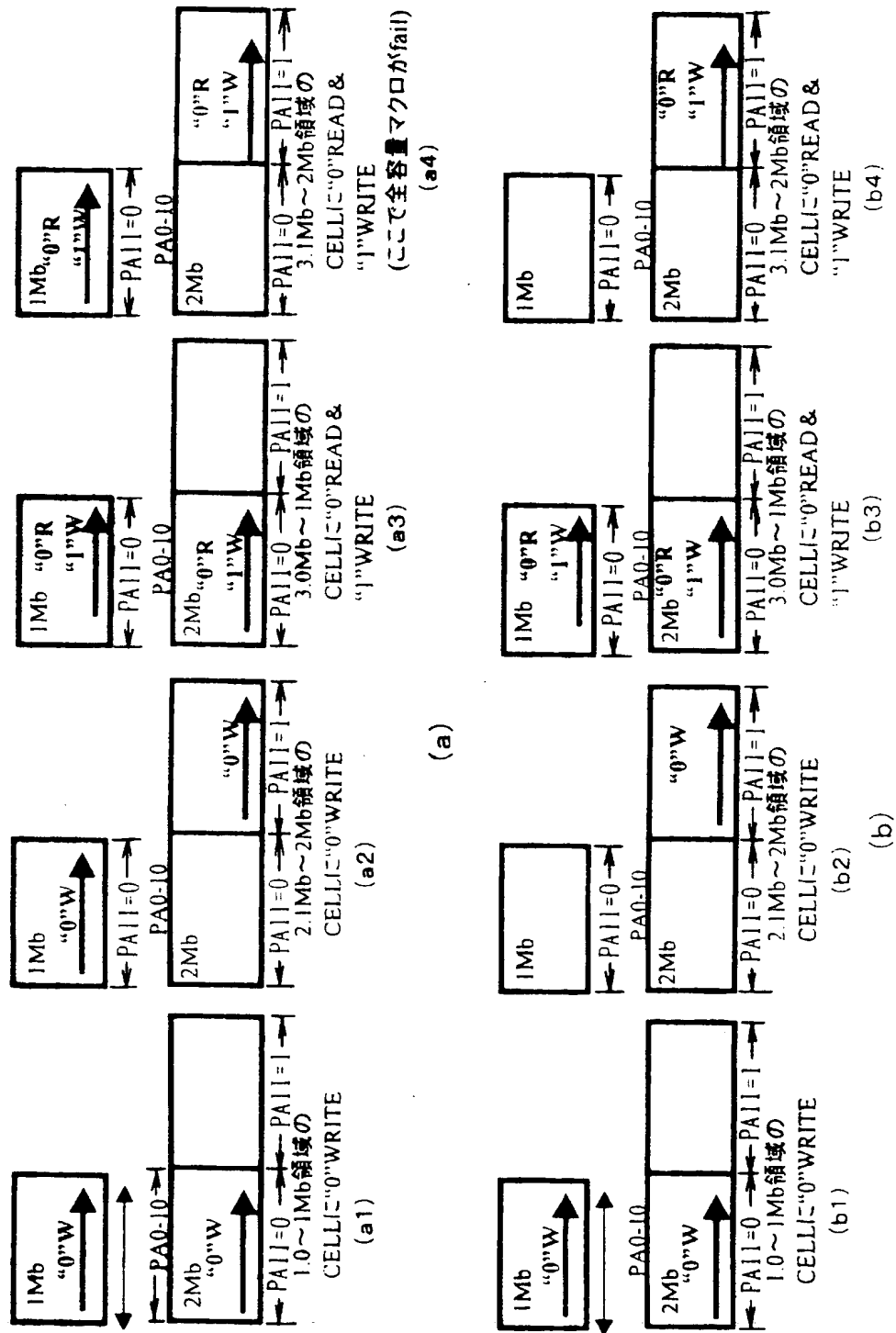
【図 6】



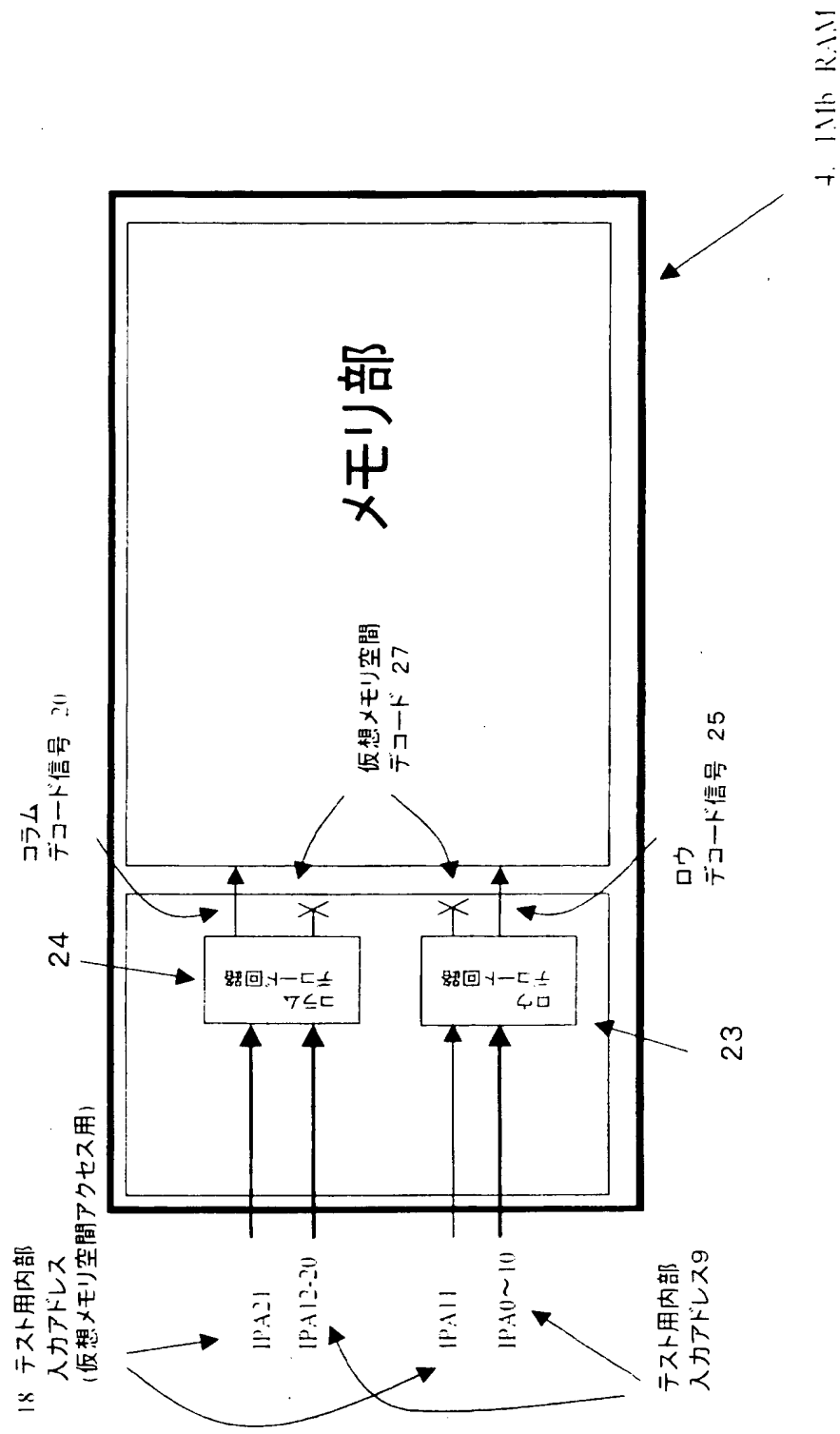
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 近年のシステムLSIにおいては、システム側の要求の応じて1チップ上に容量およびビット幅の異なるRAMが複数個搭載されるようになってきた。しかしながら複数のRAMを検査する場合、RAM毎に専用端子を用意したとしても容量が異なるRAMに対しては、内部X、Yアドレス割り付けが異なるため同一のテストパターン(例えばHALF-MARCH)で検査することはできず、同一容量RAM毎にグループ化して検査しなければならず、検査時間の増大を招いていた。

【解決手段】 RAM制御信号として、外部アドレス信号とテスト専用アドレス信号とを設け、後者の場合、1チップ内における最大容量のRAM3 のX,Yアドレス数と他のRAM4,5 も同じにして、各RAM3~5のX,Yアドレス割り付けを同一にする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 2 7 0 5 8
受付番号	5 0 2 0 1 1 5 5 4 3 9
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 8 月 6 日

< 認定情報・付加情報 >

【提出日】	平成14年 8月 5日
-------	-------------

次頁無

特願 2 0 0 2 - 2 2 7 0 5 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 8 日

[変 更 理 由]

新 規 登 録

住 所

大 阪 府 門 真 市 大 字 門 真 1 0 0 6 番 地

氏 名

松 下 電 器 産 業 株 式 会 社